

BEST AVAILABLE COPY

RO/KR 24.02.2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원 번호 : 10-2003-0036740
Application Number

출원 년 월 일 : 2003년 06월 09일
Date of Application JUN 09, 2003

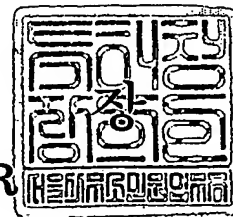
출원인 : 학교법인 포항공과대학교
Applicant(s) POSTECH FOUNDATION

**PRIORITY
DOCUMENT**
SUBMITTED OR TRANSMITTED IN
COMPLIANCE WITH RULE 17.1(a) OR (b)



2004 년 02 월 17 일

특 허 청
COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0005
【제출일자】	2003.06.09
【국제특허분류】	H01L
【발명의 명칭】	금속 /반도체 나노막대 이종구조를 이용한 전극 구조물 및 그 제조 방법
【발명의 영문명칭】	Contacts fabric using heterostructure of metal/semiconductor nanorods and fabrication method thereof
【출원인】	
【명칭】	학교법인 포항공과대학교
【출원인코드】	2-1999-900096-8
【대리인】	
【성명】	이영필
【대리인코드】	9-1998-000334-6
【포괄위임등록번호】	1999-050323-2
【대리인】	
【성명】	이해영
【대리인코드】	9-1999-000227-4
【포괄위임등록번호】	2000-006267-7
【발명자】	
【성명의 국문표기】	이규철
【성명의 영문표기】	YI, Gyu-Chul
【주민등록번호】	670807-1041317
【우편번호】	790-390
【주소】	경상북도 포항시 남구 지곡동 756번지 교수아파트 9동 2202호
【국적】	KR
【발명자】	
【성명의 국문표기】	박원일
【성명의 영문표기】	PARK, Won Il
【주민등록번호】	731119-1953817

【우편번호】 790-784
【주소】 경상북도 포항시 남구 효자동 포항공대 신소재공학과
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의
한 출원심사 를 청구합니다. 대리인
이영필 (인) 대리인
이해영 (인)
【수수료】
【기본출원료】 20 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【삼사청구료】 15 항 589,000 원
【합계】 618,000 원
【감면사유】 학교
【감면후 수수료】 309,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

본 발명은 금속/반도체 나노막대 이중구조를 이용한 전극 구조물 및 그 제조 방법에 관한 것으로서, 더 상세하게는 예를 들어 산화아연 반도체 나노막대의 특정 부위에 나노미터 크기의 금속을 선택적으로 증착시키고, 증착된 금속 물질의 일함수와 금속/산화아연의 계면 특성을 적절히 조절해 줌으로써, 접촉저항이 적은 옴릭(Ohmic) 전극이나, 정류 특성을 보이는 쇼트키(Schottky) 전극을 형성시켜 이들 전극을 나노 크기의 쇼트키 다이오드를 포함한 다양한 전자 소자, 광소자 및 이들의 어레이에 적용할 수 있도록 한 금속/반도체 나노막대 이중구조를 이용한 전극 구조물 및 그 제조 방법에 관한 것이다.

이를 위한 본 발명은, 금속/반도체 나노막대 이중구조를 이용한 전극 구조물에 있어서, 소정의 기재 위에 성장된 반도체 나노막대와; 상기 반도체 나노막대의 소정부위에 증착된 금속;을 포함하고, 상기 나노막대와 상기 금속 사이에서는 일함수 차이와 계면 특성에 따라 접촉 저항이 작은 옴릭(Ohmic) 특성 또는 정류특성을 보이는 쇼트키(Schottky) 특성이 나타나도록 된 것을 특징으로 한다.

【대표도】

도 1

【명세서】

【발명의 명칭】

금속/반도체 나노막대 이중구조를 이용한 전극 구조물 및 그 제조 방법{Contacts fabric using heterostructure of metal/semiconductor nanorods and fabrication method thereof}

【도면의 간단한 설명】

도 1은 본 발명에 따른 금속/반도체 나노막대 이중구조를 이용한 전극 구조물 및 그 제조 방법의 구성도.

도 2는 본 발명에 따른 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 어레이 구성도.

도 3은 본 발명에 따라 금속을 증착한 반도체 나노막대 이중구조의 전기적 특성을 조사하기 위해 실시한 CSAFM(current sensing atomic force microscopy)법의 개략적 구조도.

도 4a는 본 발명에 따라 금(GOLD)이 코팅된 탐침으로 금속이 증착되지 않은 산화아연 반도체 나노막대의 전기전도도를 조사한 결과 그래프도.

도 4b는 본 발명에 따라 금(GOLD)이 코팅된 탐침으로 산화아연 반도체 나노막대에 금(GOLD)이 증착된 금/산화아연 나노막대 이중접합구조체의 전기전도도를 조사한 결과 그래프도.

도 4c는 본 발명에 따라 금(GOLD)이 코팅된 탐침으로 타이타늄과 금을 산화아연 나노막대에 연속적으로 증착한 후 열처리를 수행해서 제조된 금/타이타늄/산화아연 나노막대 이중접합구조체의 전기전도도를 조사한 결과 그래프도.

<도면의 주요부분에 대한 부호의 설명>

10...기재

12...산화아연 반도체

14...금속

15...탐침

【발명의 상세한 설명】

【발명의 목적】

【발명이 속하는 기술분야 및 그 분야의 종래기술】

2> 본 발명은 금속/반도체 나노막대 이중구조를 이용한 전극 구조물 및 그 제조 방법에 관한 것으로서, 더 상세하게는 예를 들어 산화아연 반도체 나노막대의 특정 부위에 나노미터 크기의 금속을 선택적으로 증착시키고, 증착된 금속 물질의 일함수와 금속/산화아연의 계면 특성을 적절히 조절해 줌으로써, 접촉저항이 적은 오믹(Ohmic) 전극이나, 정류 특성을 보이는 쇼트키(Schottky) 전극을 형성시켜 이들 전극을 나노 크기의 쇼트키 다이오드를 포함한 다양한 전자 소자, 광소자 및 이들의 어레이에 적용할 수 있도록 한 금속/반도체 나노막대 이중구조를 이용한 전극 구조물 및 그 제조 방법에 관한 것이다.

13> 잘 알려진 바와 같이, 트랜지스터가 발명된 이후 눈부시게 발전된 반도체 기술로 인해, 초집적회로뿐만 아니라 양자효과를 이용한 반도체 레이저 등의 개발로 21세기 정보통신 시대를 맞이하게 되었다. 그러나, 소자의 크기가 작아질수록 기존

의 마이크로 전자공학은 한계에 부딪혀 새로운 발상의 전환이 요구되고 있다. 예를 들면, 광식각기술은 광학적 해상도의 한계 때문에 수십 나노미터(nm) 이하에서는 그 사용이 제한된다. 이를 해결하기 위해 X-선 또는 전자빔을 이용하는 방법이 제안되고 있지만 이 방법으로도 수십 nm 이하에서는 사용하기 힘들 뿐만 아니라 비용이 많이 들고 대량생산이 불가능하다. 따라서 새로운 관점에서, 원자 또는 분자 수준에서 원하는 기능을 발휘하는 나노소재를 만드는 기술인 쌓아가기(bottom up) 방식이 최근 각광을 받고 있다.

- 14> 상기 쌓아가기 방식으로 나노소자를 제조하기 위해서는, 원하는 기능을 충족시켜 줄 수 있는 나노구조물을 단일 소재 안에 구현할 수 있는 기술개발이 필수적이다. 특히, 전극은 소자의 전극에 해당하는 부분으로 작동에 필요한 에너지를 공급하는 매우 핵심적인 역할을 한다. 또한, 반도체/금속 간의 일함수 차이와 계면 특성에 따라 다양한 정류특성을 보이는 쇼트키 전극 및 접촉 저항이 작은 옴믹(Ohmic) 전극 등이 형성되기 때문에 이를 제어하는 기술이 필수적이다. 그러나, 기존에는 나노소자의 특정부위에 인위적인 나노전극을 형성하는 기술이 확립되지 않았으며, 이들의 특성을 제어하는 기술도 거의 연구되지 않았다.

【발명이 이루고자 하는 기술적 과제】

- 15> 따라서, 본 발명이 이루고자 하는 기술적 과제는 예를 들어 산화아연 반도체 나노막대의 특정 부위에 나노미터 크기의 금속을 선택적으로 증착시키고, 증착된 금속 물질의 일함수와 금속/산화아연의 계면 특성을 적절히 조절해 줌으로써, 접촉저항이 적은 옴믹(Ohmic) 전극이나, 정류 특성을 보이는 쇼트키(Schottky) 전극을 형성시켜 이들 전극을 나노 크기의 쇼트키 다이오드를 포함한 다양한 전자 소자, 광소자 및 이들의 어레이에 적용할 수 있도록 한 금속/반도체 나노막대 이중구조를 이용한 전극 구조물 및 그 제조 방법을 제공하는데 그 목적이 있다.

【발명의 구성 및 작용】

- 상기 목적을 달성하기 위하여 본 발명에 따른 금속/반도체 나노막대 이중구조를 이용한 전극 구조물은, 소정의 기재 위에 성장된 반도체 나노막대와; 상기 반도체 나노막대의 소정부 위에 증착된 금속;을 포함하고, 상기 나노막대와 상기 금속 사이에서는 일함수 차이와 계면 특성에 따라 접촉 저항이 작은 오믹(Ohmic) 특성 또는 정류특성을 보이는 쇼트키(Schottky) 특성이 나타나도록 된 것을 특징으로 한다.
- 7> 본 발명 전극 구조물의 바람직한 실시예에 있어서, 상기 전극 구조물은 쇼트키 다이오드, 트랜지스터, 광검출소자, 발광소자, 감지소자 등과 같은 소자 및 나노시스템, 집적 회로와 같은 어레이 회로에 적용되는 쇼트키 전극 또는 오믹 전극으로 사용되도록 구성된다.
- 8> 본 발명 전극 구조물의 바람직한 실시예에 있어서, 상기 전극 구조물을 형성하는 상기 나노막대 및 전극의 지름은 500nm 이하이다.
- 9> 본 발명 전극 구조물의 바람직한 실시예에 있어서, 상기 반도체 나노막대는 산화아연(ZnO), 산화타이타늄, GaN, Si, InP, InAs, GaAs 및 이들 합금 중의 하나 이상을 포함한다.
- 10> 본 발명 전극 구조물의 바람직한 실시예에 있어서, 상기 반도체 나노막대가 n-타입 반도체로서 상기 금속과 쇼트키 전극을 형성하는 경우, 상기 반도체 나노막대에 증착되는 상기 금속은 일함수가 상기 반도체 나노막대의 전자 친화도(electron) 보다 큰 Ni, Pt, Pd, Au, W 및 PtSi, NiSi와 같은 실리사이드 계열 금속 중의 하나 이상을 포함한다.
- 11> 본 발명 전극 구조물의 바람직한 실시예에 있어서, 상기 반도체 나노막대가 n-타입 반도체로서 상기 금속과 오믹 전극을 형성하는 경우, 상기 반도체 나노막대에 직접 증착되는 금속

은 일함수가 상기 반도체 나노막대의 일함수 보다 작은 타이타늄(Ti), 알루미늄(Al), 인듐(In) 중의 하나 이상을 포함한다.

- 2> 본 발명 전극 구조물의 바람직한 실시예에 있어서, 상기 금속 위에 금(Au) 또는 백금(Pt)이 증착된다.
- 3> 본 발명 전극 구조물의 바람직한 실시예에 있어서, 상기 전극 구조물의 전기적 특성을 향상시키기 위해 상기 금속의 증착 후 섭씨 1000도 이하의 열처리가 이루어진다.
- 4> 그리고, 상기 목적을 달성하기 위한 본 발명에 따른 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법은, 소정의 기제 위에 반도체 나노막대를 수직 또는 일방향으로 성장시키는 단계와; 상기 성장된 반도체 나노막대의 소정부위에 스퍼터링(sputtering), 열 또는 전자빔 증발법(thermal or e-beam evaporation)과 같은 방법을 통해 금속을 증착시키는 단계;를 포함하고, 상기 나노막대와 상기 금속 사이에서는 일함수 차이와 계면 특성에 따라 접촉 저항이 작은 옴릭(Ohmic) 특성 또는 정류특성을 보이는 쇼트키(Schottky) 특성이 나타나도록 된 것을 특징으로 한다.
- 5> 이하, 첨부한 도면을 참조하면서 본 발명에 따른 금속/반도체 나노막대 이중구조를 이용한 전극 구조물 및 그 제조 방법의 바람직한 실시예를 상세하게 설명한다. 본 발명을 설명함에 있어서 관련된 공지기술 또는 구성에 대한 구체적인 설명이 본 발명의 요지를 불필요하게 흐릴 수 있다고 판단되는 경우에는 그 상세한 설명은 생략할 것이다. 그리고, 후술되는 용어들은 본 발명에서의 기능을 고려하여 정의된 용어들로서 이는 사용자, 운용자의 의도 또는 관례 등에 따라 달라질 수 있다. 그러므로 그 정의는 본 명세서 전반에 걸친 내용을 토대로 내려져야 할 것이다.

> 먼저, 도 1을 참조하면, 이는 금속/반도체 나노막대 이중접합구조를 이용한 전극 구조물 및 그 제조 방법의 구성도로서, 예를 들어 유기금속 기상 성장법(MOVPE; Vapor Phase Epitaxy Metal Organic)에 의해 기재(10) 상에서 일방향 또는 수직으로 성장된 산화아연 반도체 나노막대(12) 위에 스퍼터링(sputtering), 열 또는 전자빔 증발법(thermal or e-beam evaporation) 등을 이용해서 금속(14')을 증착시킨다. 여기서, 금속(14')이 주로 나노막대(12) 팁 끝에 선택적으로 증착되기 때문에, 계면이 깨끗한 금속/반도체 이중접합 구조가 쉽게 형성되며, 다양한 종류의 금속이 증착될 수 있다. 상기한 나노막대(12)와 나노막대(12) 상에 증착된 금속의 각 지름은 바람직하게 500nm 이하로 한다. 또한, 증착 후 열처리를 통한 계면반응으로 계면에서의 전기적 특성을 조절할 수 있다. 열처리 온도는 바람직하게 섭씨 1000도 이하로 한다. 본 발명에서는 증착된 금속의 종류 및 후열 처리에 따라 옴릭과 쇼트키 특성을 조절할 수 있는데, 이에 대해서는 후술한다.

17> 도 2는 본 발명에 따라 대면적에 수직으로 성장된 금속/반도체 나노막대 이중접합구조체 어레이를 이용한 초고집적 회로의 개략도로서, 개별적인 금속/반도체 나노막대 이중접합구조체의 하부와 상부에 전극이 연결됨으로써 각각의 광소자 혹은 나노 전자소자의 제어가 가능하도록 설계될 수 있음을 보인다.

28> 도 3은 도 1에 도시한 바와 같은 금속(14)을 증착한 반도체 나노막대 이중구조의 전기적 특성을 조사하기 위해 실시한 CSAFM(current sensing atomic force microscopy)법을 개략적으로 나타낸 구조도로서, 금속이 코팅된 탐침(15)을 금속/반도체 나노막대 이중구조(12)(14)의 팁끝에 올리고 전도성이 좋은 하부 층(10)을 이용해서 개별 금속/산화아연 나노막대 이중구조의 전기적 특성을 조사하는 것을 보인다. 도 3에서 부재번호 18은 AFM 팁을 나타낸다.

- 도 4a는 금(GOLD; Au)이 코팅된 탐침(15)으로 금속이 증착되지 않은 산화아연 반도체 나노막대(12)의 전기전도도를 조사한 결과로서, 금(GOLD) 팁(15')과 산화아연 나노막대(12) 사이에 형성된 접합구조에 의해 자연적으로 형성된 쇼트키 장벽으로 인해서 비대칭적인 전류-전압(I-V) 특성을 보임을 나타낸다. 그러나, 매우 얇은 금(GOLD) 팁(15')에 의해서 브레이크다운(breakdown)이 낮은 역전압(reverse voltage bias) 하에서 일어난 것을 알 수 있다.
- 도 4b는 도 4a와 같은 방법으로 탐침(15)으로 산화아연 반도체 나노막대(12)에 금(GOLD)이 증착된 금/산화아연 나노막대 이중접합구조체(14)(12)의 전기전도도를 조사한 결과로서, 증착된 금(GOLD)(14)과 산화아연(12) 사이에 형성된 접합구조에 의해 쇼트키 장벽이 형성되어서 전류-전압(I-V) 정류특성을 보이며, 대략 -8V 까지도 브레이크다운이 거의 일어나지 않을 정도로 우수한 쇼트키 특성을 보임을 나타낸다. 이는 금(Au)의 일함수(work function)가 크기 때문에 나타나는 현상으로, 일함수가 큰 다른 금속에서도 유사한 특성이 나올 수 있음은 당연하다.
- 1> 도 4c는 도 4a 및 4b와 같은 방법으로 탐침(15)으로 타이타늄(Ti)(14)과 금(14")을 산화아연 나노막대(12)에 연속적으로 증착한 후 열처리를 수행해서 제조된 금(14")/타이타늄(14)/산화아연 나노막대(12) 이중접합구조체의 전기전도도를 조사한 결과로서, 증착된 타이타늄(14)과 산화아연(12) 사이에 계면에서 계면 반응으로 접촉저항이 작은 오믹 전극이 형성되어서 선형적인 전류-전압(I-V) 특성을 보임을 나타낸다. 이는 타이타늄의 일함수가 작고 열처리에 의해 터널링 효과가 증가하여 전류가 쉽게 흐르기 때문임을 알 수 있다. 따라서 일함수가 작은 금속을 타이타늄 대신에 사용해도 유사한 결과가 나올 수 있음은 당연하다.
- 12> 전술한 바와 같이 본 발명은 기재(10) 위에 수직 내지는 일방향으로 성장된 반도체(산화아연) 나노막대(12)에 금속(14')을 증착하고 이후 열처리를 통해 나노미터 크기의 전극(14)을 형성시킬 수 있다. 반도체가 n-타입 산화아연 나노막대(12)의 경우에는, 본 발명은 쇼트키 전

극용 금속으로 비교적 일함수가 큰 Ni, Pt, Pd, Au, W 등과 실리사이드 계열(PtSi, NiSi 등)을 이용해서, 에너지 장벽이 큰 쇼트키 전극을 만들 수 있다.

▷ 또한, n-타입 산화아연 나노막대(12)의 오믹 전극으로는, 비교적 일함수가 작고, 계면반응을 통해 접촉저항을 낮출 수 있는 타이타늄 (Ti)이나 알루미늄 (Al)을 이용할 수 있다. 이외에도, 구리(Cu), 은 (Ag), 망간(Mn), 철(Fe), 코발트(Co) 등을 포함한 다양한 금속을 이용한 본 발명의 전극 구조물을 제조할 수 있다.

4> 이하, 본 발명을 하기 실시예에 의거하여 좀더 상세하게 설명한다. 단, 하기 실시예는 본 발명을 예시하기 위한 것일 뿐, 본 발명의 범위가 이들만으로 제한되는 것은 아니다.

5> [실시예 1]

6> - 금속/산화아연 나노막대 성장(도 1 참조)

7> 통상적으로 사용되는 일방향 산화아연(ZnO) 반도체 나노막대 위에 열 혹은 전자빔 증발법을 이용해 나노막대 위에 금(대략 20 nm)과 타이타늄(10 nm)/금 (20 nm)을 증착하였다. 금속 증발을 위한 전자빔의 가속전압과 발산 전류(emission current)는 각각 4-20 kV와 40-400 mA였으며, 금속 증착시 반응기의 압력은 10-5mmHg 전후로, 기재의 온도는 상온으로 유지하였다. 금속을 증착하기 전과 후의 산화아연 나노막대 어레이를 전자현미경을 이용해서 조사해 본 결과 금속이 나노막대의 팁 위에 선택적으로 잘 증착되었으며, 나노막대의 직경이나 형상에 큰 변화가 나타나지 않았음을 알 수 있다.

38> - 금속/산화아연 나노막대의 전기적 특성 측정(도 4 참조)

39> 금속/산화아연 나노막대 이중구조의 전기적 특성을 조사하기 위해 실시한 CSAFM(current sensing atomic force microscopy)법을 이용하였다. 본 방법에는 금이 코팅된 탐침을 이용해

금속/산화아연 나노막대 이중접합체의 어레이를 주사해서, 각각의 나노막대의 위치를 판별한다. 이러한 AFM 이미지를 얻기 위해서 주사시 0.12 N/m의 탄성계수값을 이용했다. I-V 특성을 측정하기 위해서는, 금 팁을 나노막대 위에 올려놓은 상태에서, 전압을 팁과 하부의 전도층인 산화아연 막 사이에 인가해서 전류를 측정하였다. 모든 실험은 상온에서 측정되었으며, I-V 측정 곡선은 20여 번의 반복 측정을 통해서 얻어졌다.

- 0> 산화아연 나노막대에 금속이 증착된 경우에 어떠한 전기적 특성 변화가 생겼는지를 조사하기 위해서, 금속 증착 이전의 산화아연 나노막대와 금/산화아연 나노막대, 금/타이타늄/산화아연 나노막대 이중접합체를 동일한 조건하에서 반복 실험을 통해 I-V 측정을 하였다. I-V 측정 시 20-40 nN을 팁에 인가했다.
- 1> 도 4a는 금속이 증착되지 않은 산화아연 나노막대의 I-V 곡선으로, 금 팁과 산화아연 사이에 형성된 접합구조에 의해 형성된 쇼트키 장벽으로 인해서 정방향으로는 전류가 잘 흐르지만, 역방향으로는 비교적 전류가 잘 흐르지 않는 비대칭적인 I-V 특성을 보인다. 그러나, 매우 얇은 금 팁에 의해서 브레이크다운이 낮은 역전압 (reverse voltage bias) 하에서 일어난다.
- 12> 이에 비해서, 산화아연 나노막대에 금이 증착된 금/산화아연 나노막대 이중접합구조체를 제조한 경우에는 여전히 금과 산화아연 사이에 형성된 접합구조에 의해 쇼트키 장벽이 형성되지만, 이 경우에는 금속/반도체 접합이 금 팁이 아닌 산화아연 나노막대 위에 증착된 금 층과 산화아연 사이에 형성되기 때문에, 금 팁에 형성되는 높은 전기장에 의해서 낮은 역전압 (reverse voltage bias) 하에서 일어나는 브레이크다운을 억제할 수 있다. 도 4b에 나타나 있듯이 대략 8V 까지도 브레이

크다운이 거의 일어나지 않을 정도로 쇼트키 특성이 향상되었다. 이외에도, 비교적 일함수가 큰 Ni, Pt, Pd, W 등과 실리사이드 계열(PtSi, NiSi 등)을 이용해서 이와 유사한 쇼트키 전극을 만들 수 있다.

- 3> 접촉 저항이 작은 오믹(Ohmic) 전극은 소자 작동에 필요한 에너지를 공급하는 매우 핵심적인 역할을 한다. 이러한 오믹 전극을 만들기 위해서, 본 실시예에서는 산화아연 나노막대 위에 타이타늄과 금을 순차적으로 증착하고, 300-500 °C에서 급속열처리(rapid thermal annealing)를 실시하였다. 도 4c에서 보듯이 전형적인 오믹전극에서 나타나는 선형적인 I-V 곡선이 얻어졌으며, 접촉저항이 작아 전류가 크게 증가했다. 이외에도 비교적 일함수가 작고, 계면반응을 통해 접촉저항을 낮출 수 있는 인듐(In), 타이타늄(Ti)/알루미늄(Al), 알루미늄(Al)/골드(Au) 등을 이용해서 오믹전극을 형성할 수 있다.

【발명의 효과】

- 44> 이상에서 설명한 바와 같이, 본 발명은 산화아연 나노막대의 특정 부위에 나노미터 크기의 금속 전극을 형성시키고, 이들의 전기적 특성을 제어해서, 접촉저항이 적은 오믹전극이나, 정류특성을 보이는 쇼트키 전극을 형성시킬 수 있다. 특히, 본 발명의 기술은 현재 나노기술 중에 하나인, 원하는 기능을 충족시켜 줄 수 있는 기능성 나노구조물의 제조 기술 개발의 연장선에서 매우 핵심적인 역할을 할 수 있다. 또한, 본 발명은 도 2에 예시한 바와 같이 향후 수직배향된 나노소재를 이용한 전자 소자 및 광소자 등의 어레이를 이용한 초고집적 회로 개발의 핵심기술이 될 가능성이 매우 크다.

- 45> 한편, 본 발명은 예를 들어 산화아연 반도체 나노막대의 특정 부위에 나노미터 크기의 금속을 선택적으로 증착시키고, 증착된 금속 물질의 일함수와 금속/산화아연의 계면 특성을 적절히 조절해 줌으로써, 접촉저항이 적은 오믹(Ohmic) 전극이나, 정류 특성을 보이는 쇼트키

(Schottky) 전극을 형성시켜 이들 전극을 나노 크기의 쇼트키 다이오드를 포함한 다양한 전자 소자, 광소자 및 이들의 어레이에 적용할 수 있도록 하는 이점을 제공한다.

- > 이상 본 발명의 바람직한 실시예에 대해 상세히 기술하였지만, 본 발명이 속하는 기술분야에 있어서 통상의 지식을 가진 사람이라면, 첨부된 청구 범위에 정의된 본 발명의 정신 및 범위를 벗어나지 않으면서 본 발명을 여러 가지로 변형 또는 변경하여 실시할 수 있음을 알 수 있을 것이다. 따라서 본 발명의 앞으로의 실시예들의 변경은 본 발명의 기술을 벗어날 수 없을 것이다.

【특허청구범위】**【청구항 1】**

금속/반도체 나노막대 이중구조를 이용한 전극 구조물에 있어서,

소정의 기재 위에 성장된 반도체 나노막대;

상기 반도체 나노막대의 소정부위에 증착된 금속;을 포함하고,

상기 나노막대와 상기 금속 사이에서는 일함수 차이와 계면 특성에 따라 접촉 저항이 작은 오믹(Ohmic) 특성 또는 정류특성을 보이는 쇼트키(Schottky) 특성이 나타나도록 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물.

【청구항 2】

제1항에 있어서, 상기 전극 구조물은 쇼트키 다이오드, 트랜지스터, 광검출소자, 발광소자, 감지소자 등과 같은 소자 및 나노시스템, 집적회로와 같은 어레이 회로에 적용되는 쇼트키 전극 또는 오믹 전극으로 사용되도록 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물.

【청구항 3】

제1항에 있어서, 상기 전극 구조물을 형성하는 상기 나노막대 및 전극의 지름이 500nm 이하인 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물.

【청구항 4】

제1항에 있어서, 상기 반도체 나노막대는 산화아연(ZnO), 산화타이타늄, GaN, Si, InP, InAs, GaAs 및 이들 합금 중의 하나 이상을 포함하여 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물.

【청구항 5】

제2항에 있어서, 상기 반도체 나노막대가 n-타입 반도체로서 상기 금속과 쇼트키 전극을 형성하는 경우, 상기 반도체 나노막대에 증착되는 상기 금속은 일함수가 상기 반도체 나노막대의 전자 친화도(electron) 보다 큰 Ni, Pt, Pd, Au, W 및 PtSi, NiSi와 같은 실리사이드 계열 금속 중의 하나 이상을 포함하여 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물.

【청구항 6】

제2항에 있어서, 상기 반도체 나노막대가 n-타입 반도체로서 상기 금속과 오믹 전극을 형성하는 경우, 상기 반도체 나노막대에 직접 증착되는 금속은 일함수가 상기 반도체 나노막대의 일함수 보다 작은 타이타늄(Ti), 알루미늄(Al), 인듐(In) 중의 하나 이상을 포함하여 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물.

【청구항 7】

제6항에 있어서, 상기 금속 위에 금(Au) 또는 백금(Pt)이 증착된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물.

【청구항 8】

제5항 내지 제7항 중의 어느 한 항에 있어서, 상기 전극 구조물의 전기적 특성을 향상시키기 위해 상기 금속의 증착 후 섭씨 1000도 이하의 열처리가 이루어지도록 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물.

【청구항 9】

금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법에 있어서,

소정의 기재 위에 반도체 나노막대를 수직 또는 일방향으로 성장시키는 단계;

상기 성장된 반도체 나노막대의 소정부위에 스퍼터링(sputtering), 열 또는 전자빔 증발법(thermal or e-beam evaporation)과 같은 방법을 통해 금속을 증착시키는 단계;를 포함하고,

상기 나노막대와 상기 금속 사이에서는 일함수 차이와 계면 특성에 따라 접촉 저항이 작은 옴릭(Ohmic) 특성 또는 정류특성을 보이는 쇼트키(Schottky) 특성이 나타나도록 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법.

【청구항 10】

제9항에 있어서, 상기 성장된 나노막대 및 증착된 전극의 지름이 500nm 이하가 되도록 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법.

【청구항 11】

제9항에 있어서, 상기 반도체 나노막대는 산화아연(ZnO), 산화타이타늄, GaN, Si, InP, InAs, GaAs 및 이들 합금 중의 하나 이상을 포함하여 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법.

【청구항 12】

제9항에 있어서, 상기 반도체 나노막대가 n-타입 반도체로서 상기 금속과 쇼트키 전극을 형성하는 경우, 상기 반도체 나노막대에 증착되는 상기 금속은 일함수가 상기 반도체 나노막대의 전자 친화도(electron) 보다 큰 Ni, Pt, Pd, Au, W 및 PtSi, NiSi와 같은 실리사이드 계열 금속 중의 하나 이상을 포함하여 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법.

【청구항 13】

제9항에 있어서, 상기 반도체 나노막대가 n-타입 반도체로서 상기 금속과 오믹 전극을 형성하는 경우, 상기 반도체 나노막대에 직접 증착되는 금속은 일함수가 상기 반도체 나노막대의 일함수 보다 작은 타이타늄(Ti), 알루미늄(Al), 인듐(In) 중의 하나 이상을 포함하여 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법.

【청구항 14】

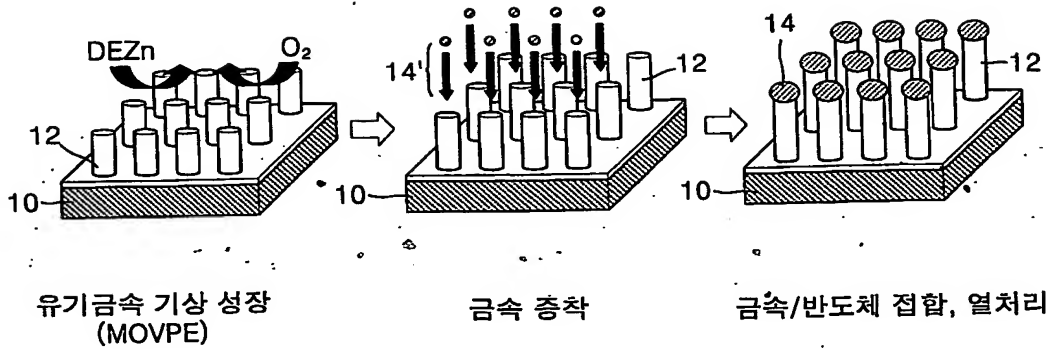
제13항에 있어서, 상기 금속 위에 금(Au) 또는 백금(Pt)을 증착시키는 단계를 더 포함하여 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법.

【청구항 15】

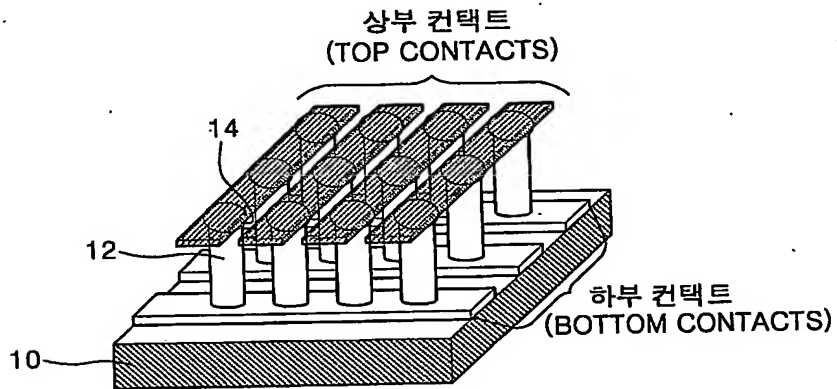
제12항 내지 제14항 중의 어느 한 항에 있어서, 상기 전극 구조물의 전기적 특성을 향상시키기 위해 상기 금속의 증착 후 섭씨 1000도 이하의 열처리를 하는 단계를 더 포함하여 된 것을 특징으로 하는 금속/반도체 나노막대 이중구조를 이용한 전극 구조물의 제조 방법.

【도면】

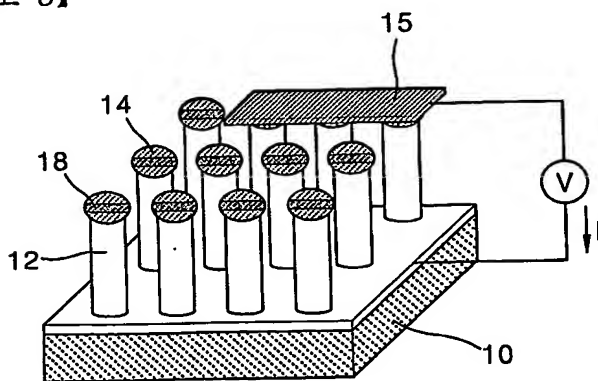
【도 1】



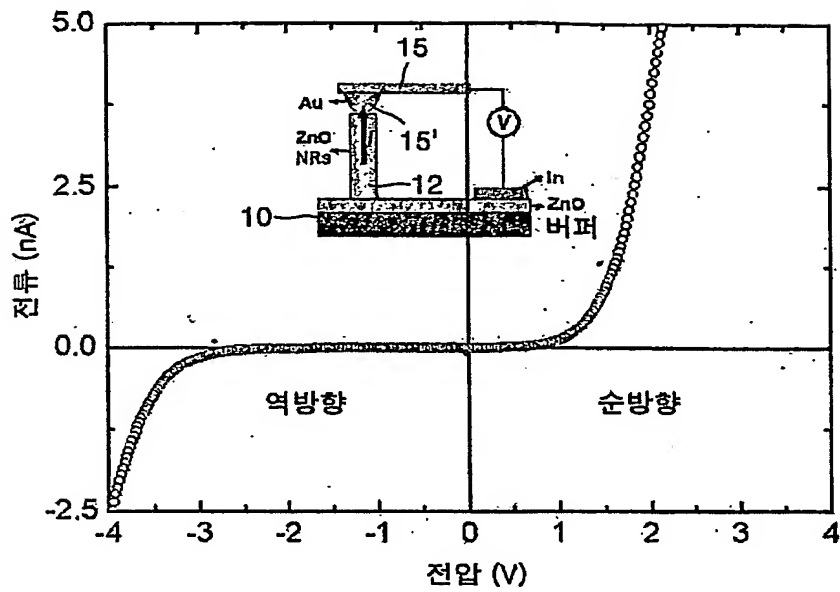
【도 2】



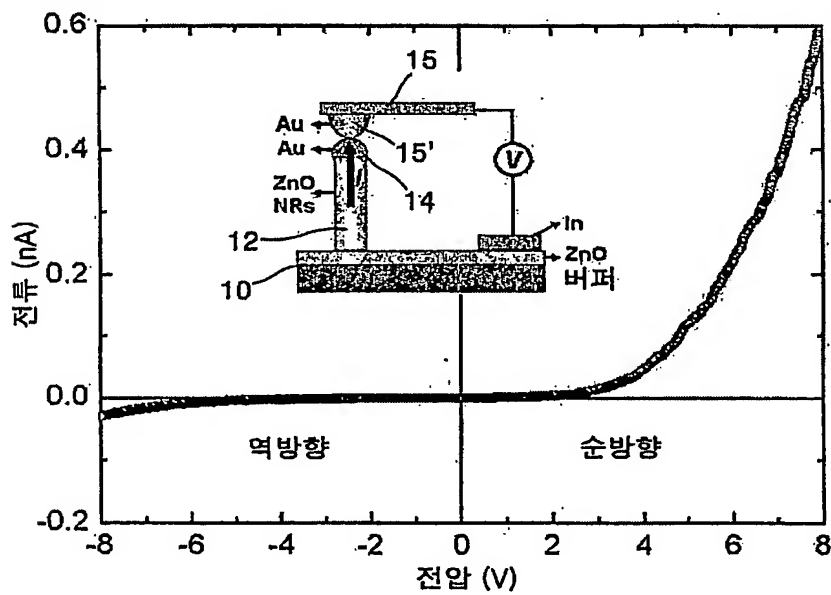
【도 3】



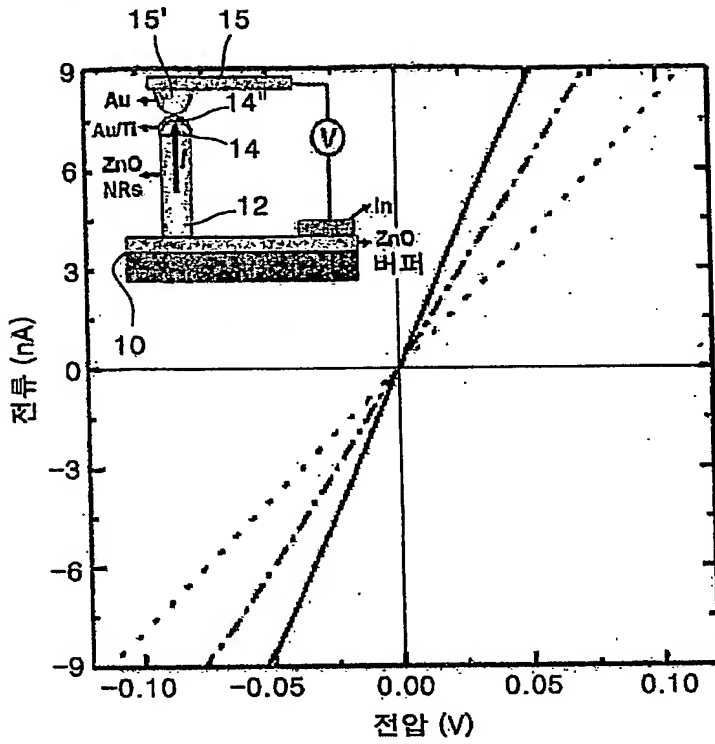
【도 4a】



【도 4b】



【도 4c】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.